

**ZAVOD ZA ELEKTRONIKU, MIKROELEKTRONIKU, RAČUNALNE I
INTELIGENTNE SUSTAVE**

**FAKULTET ELEKTROTEHNIKE I RAČUNARSTVA
SVEUČILIŠTE U ZAGREBU**

MREŽNI PROCESORI

Motorola

**ANA PETRIČEVIĆ
MREŽE RAČUNALA**

Zagreb, 2003.

SADRŽAJ:

SADRŽAJ:	2
SLIKE:	2
1. UVOD	3
1. UVOD	3
2. MOTOROLINA PORODICA MREŽNIH PROCESORA	4
2.1. C-5 MREŽNI PROCESOR (MP).....	4
2.2. C-5E MREŽNI PROCESOR (MP).....	6
2.3. C-3E MREŽNI PROCESOR (MP).....	6
3. C-5 MREŽNI PROCESOR (C-5 MP).....	7
3.2. PREGLED ARHITEKTURE C-5 MREŽNOG PROCESORA.....	7
3.3. MP BLOK DIJAGRAM PROCESA PROTOKA.....	13
3.4. ADRESNI PROSTOR.....	15
3.5. CHANNEL PROCESSORS (CP-ovi).....	17
3.5.1. GLAVNE KOMPONENTE CP-a.....	18
3.6. EXECUTIVE PROCESSOR (XP).....	20
3.6.1. GLAVNE KOMPONENTE XP-a.....	20
3.7. FABRIC PROCESSOR (FP)	22
3.8. BUFFER MANAGEMENT UNIT (BMU).....	22
3.9. TABLE LOOKUP UNIT (TLU).....	24
3.10. QUEUE MANAGEMENT UNIT (QMU).....	25
4. ZAKLJUČAK	27
5. LITERATURA.....	28

SLIKE:

Slika 1. Potpuna arhitektura C-5 mrežnog procesora.....	7
Slika 2. Procesori i koprocesori C-5 mrežnog procesora	8
Slika 3. Shematski prikaz unutarnjih sabirnica	10
Slika 4. Fizička sučelja i primjeri procesiranja koja osiguravaju.....	12
Slika 5. Shematski prikaz primanja i slanja ćelija/paketa	13
Slika 6. Memorijski adresni prostor	16
Slika 7. Format adrese registra (u bitovima)	17
Slika 8. Prikaz Channel Procesora	18
Slika 9. Prikaz Executive Procesora.....	20
Slika 10. Prikaz Fabric Procesora.....	22
Slika 11. Shematski prikaz BMU.....	23
Slika 12. Shematski prikaz TLU	24

1. UVOD

Potreba da se podaci obrade brzo i u kratkom vremenu dovela je do nastanka mrežnih procesora (koji se također nazivaju i komunikacijski procesori). Programirajući mrežni procesori nude sustav koji je fleksibilan pri izvođenju funkcija procesiranja paketa podataka. Za mrežne procesore se očekuje da postanu srž mrežne opreme, ali se međusobno vrlo razlikuju u arhitekturi. Zahtjev na brzini je ono što tjera naprijed mrežnu industriju. Oprema mora raditi na sve većim brzinama. Osnovna zadaća mrežnog procesora je procesiranje paketa podataka. Taj zadatak uključuje četiri osnovna koraka:

- parsiranje – analiza i klasifikacija sadržaja zaglavlja i polja paketa
- pretraga – pretraga tablica radi usporedbe između sadržaja koji je klasificiran i preddefiniranog sadržaja i pravila
- rješavanje – odredišta i QoS zahtjevi se rješavaju i paketi se usmjeravaju do svog odredišta
- modifikacija – gdje je potrebno, paket se modificira

2. MOTOROLINA PORODICA MREŽNIH PROCESORA

C-5 mrežni procesor prvi je iz porodice *C-Port* mrežnih procesora, dok je C-5e njegov nasljednik sa nešto unaprijeđenim karakteristikama te C-3e kao treći iz ove porodice sa nešto slabijim performansama koji također ima svoje specifično područje primjene.

Zadatak ovog seminara bit će dati grubu uvid u svaki od ovih mrežnih procesora u prvom dijelu te detaljan opis arhitekture i funkcija prvog iz porodice u drugom dijelu: C-5 mrežnog procesora.

2.1. C-5 MREŽNI PROCESOR (MP)

Prvi proizvod iz *C-Port* porodice mrežnih procesora, C-5 upravo je dizajniran za mrežne uređaje. Oznaka «5» odnosi se na propusnost od 5 Gbps.

Njegova visoka razina programirljivosti i izvedba koja je u mogućnosti brzo obraditi veliku količinu podataka predstavljaju temelje za izgradnju mrežnih proizvoda i usluga.

ZNAČAJKE C-5

Potpuna programirljivost

- Programirljivost na svim razinama stogovnog protokola, od sloja 2 do 7.
- C-5 podržani sustavi:
 - Multiservice Access Platforms (MSAPs)
 - IP Gigabit/Terabit usmjerivači
 - WAN Customer Premises Equipment (CPE)
 - web server preklopnici za distribuirano učitavanje

Jednostavan model za programiranje

- programirljiv u C/C++
- standardni instrukcijski skup
- Standard Applications Programming Interface (C-Ware API)
- oprežan C-Ware Software Toolset (jednostavno programiranje, ispravljanje pogrešaka)

Maksimalna fleksibilnost sustava

- programska implementacija funkcija iz fizičkog sučelja uz potporu strukture preklopnika
- moguća reprogramirljivost kako bi se ostvarile nove funkcije

Velika procesna snaga

- radne frekvencije: 166 MHz, 200 MHz, 233 MHz
- 5 Gbp propusnosti
- više od 3,000 MIPS radne snage
- može se prenijeti do 15 milijuna paketa u sekundi
- 17 programirljivih RISC jezgri (za prosljeđivanje ćelija/paketa)
- 32 programirljiva Serial Data Processors (za procesiranje tokova bitova)

- do 133 milijuna pogleda na tablicu u sekundi
- tri unutarnje sabirnice propusnosti 60 Gbps

Integrirane funkcije

- 15 Channel Processors uključujući ugrađene OC-3c, OC-12, OC-12c SONET okvire, programirljivo MAC sučelje, RISC jezgri, programirljiva pin PHY sučelja
- ugrađeni koprocesori za preraživanje tablica (klasifikaciju), memoriju spremnika (kontrola korisničkih podataka) i upravljanje redovima
- posebni Fabric Processor i njegov pristup
- ugrađeni RISC Executive Processor
- integrirana 32 bitne / 66 MHz PCI sabirnice

Stabilno programsko sučelje

- podržava komunikacijska programska sučelja kako bi se pojednostavilo programiranje i dopušta prenamjenu koda

Potporna nezavisnih proizvođača

- potpora virtualnog stogovnog protokola i stogovnog protokola treće strane te standardnih alata
- Smart Networks Alliance Program osigurava širok raspon potvrđenih rješenja

C-5 mrežni procesor objedinjuje kombinaciju funkcionalnosti, snage, i propusnost podataka u fleksibilnoj arhitekturi. Ova arhitektura podržava potpunu programirljivost od sloja 2 do sloja 7 ISO modela, dopuštajući da se C-5 mrežni procesor koristi u širokom spektru mrežnih uređajaja.

Procesiranje ćelija i paketa, procesiranje *lookup* (preglednim) tablicama, i funkcijama za upravljanje redovima, sve je to integrirano u arhitekturi C-5 mrežnog procesora. Sa dodatnim fizičkim sučeljem, memorijom i minimalnom potpornom logikom, C-5 mrežni procesor može se koristiti za implementaciju inteligentnih, dobro izvedenih, mješovitih (*mixed*) medija, multiprotokolnih preklopnika (*switches*) i usmjerivača (*routers*).

Stabilno programsko sučelje, kompletno razvojno okruženje, potpora nezavisnih proizvođača doprinose potpuno integriranoj platformi koja može riješiti širok spektar komunikacijskih zadataka i pojednostaviti razvoj mrežnih aplikacija.

2.2. C-5E MREŽNI PROCESOR (MP)

C-5E mrežni procesor predstavlja drugu generaciju *C-Port* grupe mrežnih procesora. Oznaka «5» odnosi se također na propusnost od 5 Gbps, dok «e» označava *extended* verziju.

ZNAČAJKE C-5E

Ključne karakteristike C-5e mrežnog procesora su velika procesna snaga i visoka razina integriranosti funkcija na čipu.

Sa propusnošću od 5 Gbps i više od 4500 MIPS-a snage, C-5E zadovoljava zahtjeve u komunikaciji za inteligentnim mrežnim uslugama, kao što su klasifikacija, upravljanje prometom i ostale funkcije. Opsežna rješenja za QoS upravljanje je omogućeno dodavanjem *C-Port Q-5 TMC-a (Traffic Management Coprocessor)*. TMC osigurava rad sa redovima, rad sa klasama i režim rasporeda što omogućava podržavanje širokog spektra sofisticiranih QoS aplikacija koje je moguće izvoditi na C-5E mrežnom procesoru. podešavanje kanala (*Channel Adapter*) povećava propusnost spektra tako da podržava dvosmjerne (*full-duplex*) aplikacije i omogućava brze mrežne usluge.

C-5E također integrira standardna programska sučelja, potpuno razvojno sučelje i potporu nezavisnog proizvođača za osiguravanje platforme koja može pojednostavniti i ubrzati razvoj mrežnih aplikacija danas, te omogućava brži razvoj grupa proizvoda, i osigurava lagani migracijski put budućim generacijama mrežnih naprava.

2.3. C-3E MREŽNI PROCESOR (MP)

C-3e posljednji je iz *C-Port* porodice mrežnih procesora. Ovdje oznaka «3» označava propusnost od Gbps, a oznaka «e» onačava *extended* verziju.

C-3e mrežni procesor je visoko integriran procesor sa brojnim funkcijama, koji proširuje doseg porodice *C-Port* mrežnih procesora na rad s manjom propusnosti odnosno manju snagu dostupnih aplikacija.

ZNAČAJKE C-3E

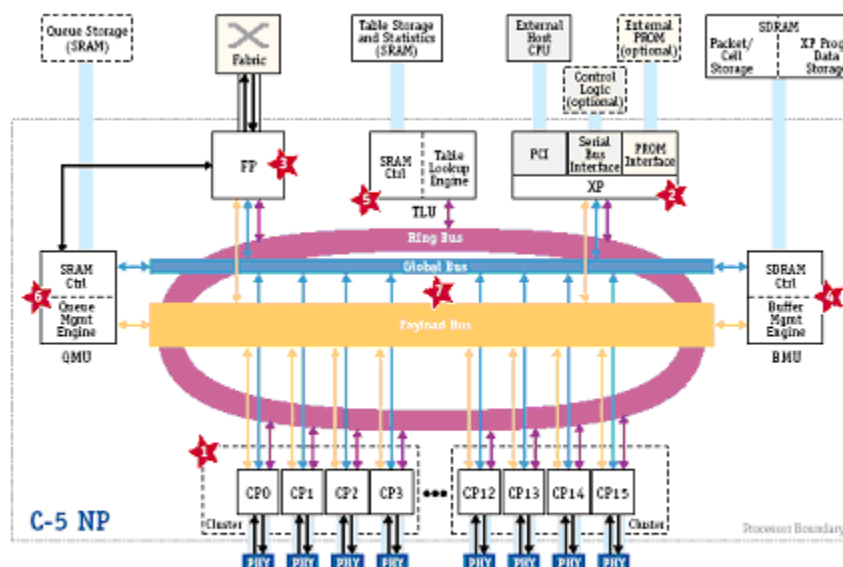
Sa svojom propusnošću od 3 Gbps i snagom od više od 3000 MIPS-a, C-3E mrežni procesor zadovoljava komunikacijske zadatke za inteligentnim pristupom mrežnim uslugama, kao što su klasifikacija, upravljanje prometom i ostale funkcije. Vrlo fleksibilna arhitektura C-3E mrežnog procesora može se adresirati i prilagoditi bilo kojem protokolu, uključujući, na primjer IPv4, IPv6, ATM, UDP...

C-3E mrežni procesor pruža potpunu programirljivost koja pruža mogućnost unaprijeđivanja jednostavnih zadataka koristeći API za C programski jezik. Zbog toga je programska podrška C-3E mrežnog procesora potpuno kompatibilana sa C-Port porodicom omogućujući zajednički model programiranja. C-3E mrežni procesor se također može koristiti sa Q-3 ili Q-5 TMC-ovima (*Motorola Traffic Management Coprocessors*) za postizanje naprednijih QoS mogućnosti.

3. C-5 MREŽNI PROCESOR (C-5 MP)

3.2. PREGLED ARHITEKTURE C-5 MREŽNOG PROCESORA

C-5 mrežni procesor je baziran na arhitekturi posebno dizajniranoj za uporabu u komunikacijskim uređajima. Procesiranje ćelija i paketa, procesiranje *lookup* (preglednih) tablica, funkcije za upravljanje redovima, sve je to integrirano u arhitekturi C-5 mrežnog procesora. Sa dodatnim čipovima za fizičko sučelje, memorijskim čipovima za korisničke podatke (*payload*), sa tablicama za usmjeravanje, i sa redovima opisnika (*deskriptora* – poseban tip podataka koji se koristi prilikom usmjeravanja prometa) korisničkih podataka, te minimalnom potpornom logikom, jedan C-5 mrežni procesor može se koristiti za implementaciju vrlo inteligentnih miješovitih (*mixed*) medija, multiprotokolnih preklopnika (*switches*), multipleksora i konektora. Veći broj C-5 mrežnih procesora može se koristiti zajedno sa strukturom za prospajanje (*switching fabric*) kako bi se implementirali veći sustavi za preklapanje (*switching*).



Slika 1. Potpuna arhitektura C-5 mrežnog procesora

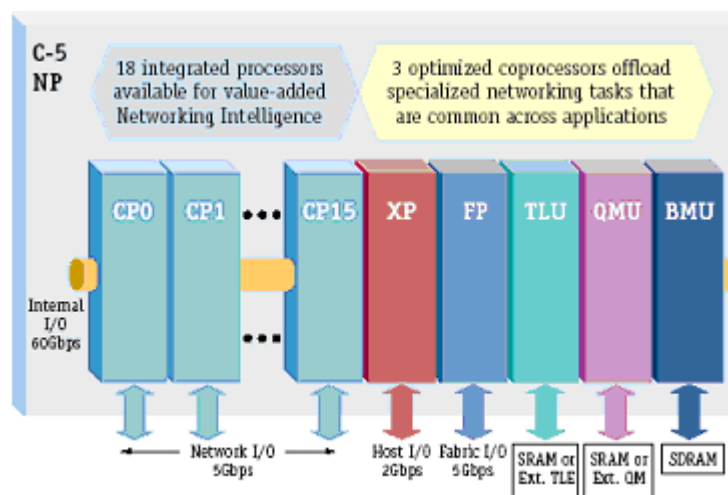
Glavne komponente C-5 mrežnog procesora su numerirane na dijagramu, i uključuju:

1. CP-ove
2. XP
3. FP
4. BMU
5. TLU
6. QMU
7. unutarnje sabirnice (Internal buses)

• INTEGRIRANA ARHITEKTURA

Visoko integrirana arhitektura C-5 mrežnog procesora upošljava posebne procesore za svaki mrežni kanal i seriju koprocesora koji preuzimaju mnoge zajedničke/česte specifične mrežne zadatke.

Ova arhitektura dopušta procesorima i koprocesorima da podržavaju konkurentno procesiranje, koje pomaže C-5 mrežnom procesoru da ostvari fleksibilnost programske podrške pri brzini sklopovlja. Dodatno, RISC instrukcijski set C-5 mrežnog procesora je posebno dizajniran za efikasno obavljanje komunikacijskih funkcija.



Slika 2. Procesori i koprocesori C-5 mrežnog procesora

- **GLAVNE KOMPONENTE C-5 MREZNOG PROCESORA**

C-5 mrežni procesor sadrži 18 procesora (16 CP-ova, XP, i FP) te 3 koprocesora koje CP-ovi zajednički koriste i koji također međusobno surađuju, kako bi izvodili neke specifične mrežne zadatke.

- **PROCESORI**

- **CHANNEL PROCESSOR (CP)** - programirljivi procesor – CPovi su odgovorni za primanje, procesiranje i prenošenje ćelija ili paketa. Dizajn CP-a i *on-chip* memorija objedinjuju više karakteristika čiji su rezultat jedinstvene sposobnosti za izvršavanje zahtjevnih komunikacijskih zadataka prilikom obrade podataka.
- **EXECUTIVE PROCESSOR (XP)** - izvršni procesor– programirljivi procesor – osigurava mrežnu kontrolu i funkcije upravljanja u korisničkim aplikacijama. XP-ovo sučelje za periferne komponente (*Peripheral Component Interface* – PCI) opskrbljuje standardni 32-bitni, 33/66 MHz kanal kako bi se mogli pridodati dodatni procesori i fizička sučelja. XP također ima PROM i sučelje za serijsku sabirnicu.
- **FABRIC PROCESSOR (FP)** – programirljivi procesor – upravlja vrlo brzim prospojnim (*fabric*) sučeljem. FP kanali se pridodaju strukturi prespojnika ili zahtjevnim fizičkim sučeljima. FP podržava UTOPIA -1, -2 i -3 standardno sučelje, jednako kao i, Power X i RRIZMA protokole.

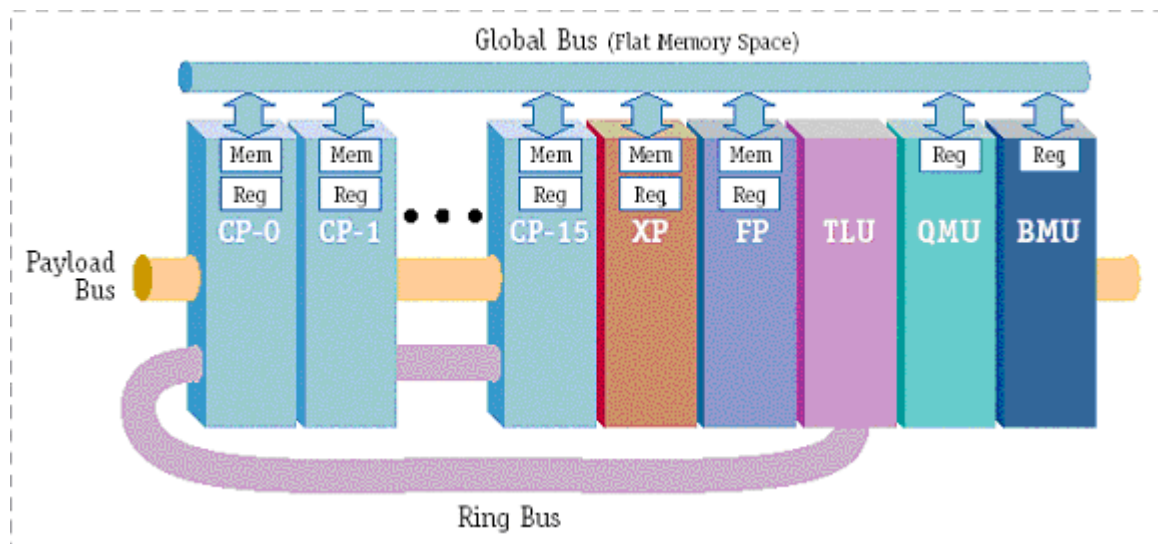
- **KOPROCESORI**

- **BUFFER MANAGEMENT UNIT (BMU)** – programirljivii koprocesor – centralizirano upravlja spremnikom korisničkih podataka tijekom procesa prosljeđivanja. Vrlo propusno memorijsko sučelje povezuje se na vanjsku memoriju za stvarnu pohranu korisničkih podataka.
- **TABLE LOOKUP UNIT (TLU)** – programirljivi koprocesor – osigurava pretragu tablice i usluge koje su povezane uz pohranu podataka sa CP-ovima, XP-om i FP-om. Vrlo propusno memorijsko sučelje spaja se na vanjsku memoriju za pohranu tablica za usmjeravanje i tablica virtualnih krugova.
- **QUEUE MANAGEMENT UNIT (QMU)** – programirljivi koprocesor – upravlja aplikacijski definiranim deskriptorskim redovima između CP-ova, FP-a i XP-a. Vrlo propusno memorijsko sučelje spaja se na vanjsku memoriju za pohranjivanje redova opisnika (*deskriptora*) korisničkih podataka.

• UNUTARNJE SABIRNICE

C-5 mrežni procesor također sadrži 3 neovisne podatkovne sabirnice koje osiguravaju unutarnje komunikacijske puteve između 18 procesora (16 CP-ova, XP-a i FP-a) i 3 koprocesora, podržavajući na taj način konkurentno procesiranje.

- **PAYLOAD BUS** – sabirnica za korisničke podatke – višekanalna, zajednička, dijeljena sabirnica – prenosi korisničke podatke i opisnike korisničkih podataka između procesora i BMU-a i QMU-a.
- **RING BUS** – prstenasta sabirnica – osigurava ograničene transakcije (razmjene) s kašnjenjem između procesora i TLU-a. Također podržava među-procesorsku komunikaciju.
- **GLOBAL BUS** – globalna sabirnica – zajednička, dijeljena sabirnica – podržava među-procesorsku komunikaciju preko konvencionalnog linearnog memorijskog prikaza adresa (*flat memory-mapped addressing scheme*).



Slika 3. Shematski prikaz unutarnjih sabirnica

• OSTALE MOGUĆNOSTI I FUNKCIJE

Kao dodatak, C-5 mrežni procesor pruža druge mogućnosti i funkcije koje doprinose boljoj integriranosti uređaja.

- **BYTE SWAPPING** – koristi se za prebacivanje podataka PCI sabirnice između *Little Endian* okruženja i C-5 MP *Big Endian* okruženja.
- **SONET/SDH SUPPORT** – *Synchronous Digital Hierarchy* - pruža potporu sklopovlju za izdvajanje pogrešaka, umetanje podataka u SONET/SDH okvire za slanje i analiziranje kvalitete podataka
- **MULTICAST OPERATIONS** – dopušta obradu/razradu slanjem na više odredišta (*multicast*) korištenjem BMU i QMU komponenti C-5 mrežnog procesora.

• NAČINI RADA

C-5 mrežni procesor podržava tri različita operacijska moda: *Single Channel*, *Pipeline Channel*, *Agregate Channel* ovisno o aplikacijskim potrebama, dopuštajući da se određenim načinom rada poveća snaga procesiranja odnosno da se poveća propusnost.

1. SINGLE CHANNEL MODE (JEDNOKANALNI MOD)

CP-ovi (*Channel Processor*) rade neovisno jedan o drugome na dvosmjernoj vezi (*full duplex*).

2. PIPELINE CHANNEL MODE (CJEVOVODNI MOD)

Kako bi se pojačala procesna snaga za određenu aplikaciju, CP-ovi mogu biti povezani kako bi vršili cjevovodno procesiranje na jedan tok podataka. Na taj način procesna snaga nije ograničena ako se procesira veća količina podataka, koju jedan CP ne bi bio u stanju sam procesirati. Koristeći ovaj način rada, CP-ovi slijedno procesiraju ćelije/pakete, postizujući visoku razinu procesiranja.

3. AGREGATE CHANNEL MODE (MOD SJEDINJENOG KANALA)

Kako bi se povećale mogućnosti serijske propusnosti, CP-ovi se mogu sjediniti u paralelne grupe za šire tokove podataka. 16 CP-ova C-5 mrežnog procesora se mogu podijeliti u četiri grupe, od po četiri CP-a nazvanim nakupine (*clusters*). Nakupine dopuštaju da CP-ovi dijele IMEM-instrukcijsku memoriju i DMEM-podatkovnu memoriju i podržavaju njihovo sjedinjavanje. Nakupine CP-ova se mogu konfigurirati, na primjer, da rade zajedno kako bi se podržalo jedno fizičko sučelje (kao na primjer OC-12), ili za primanje ili za prenošenje dijela jednog fizičkog sučelja (kao na primjer Gigabitni Ethernet).

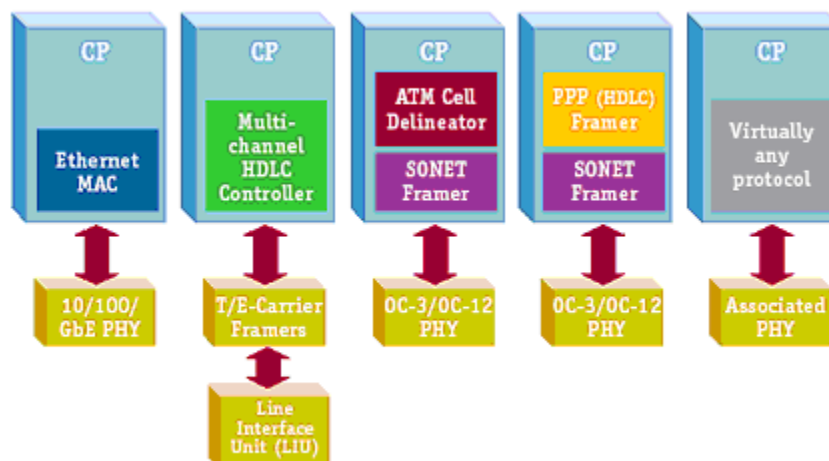
• PODRŽANA SUČELJA C-5 MREŽNOG PROCESORA

Arhitektura C-5 mrežnog procesora podržava niz standardnih serijskih ili paralelnih mrežnih protokola, a količina podataka po jednom pristupu se kreće u rasponu od 1.544 Mb/s (DS1) do 1000 Mb/s (Gigabit Ethernet).

Podržana sučelja uključuju:

- 10/100 Mb Ethernet (RMII)
- 1 Gb Ethernet (GMII i TBI)
- OC-3c
- OC-12 (kao skup od četiri OC-3c tokova podataka) / OC-12c
- Fibre Channel

Svaki CP obuhvaća skup mikroprogramirljivih procesora posebne namjene, nazvanim Serial Data Processors (SDP-ovi, procesori za serijske podatke), koji omogućavaju obradu kakvu zahtjevaju Ethernet MAC i SONET-ov okviru i višekanalnu HDLC kontrolu.



Slika 4. Fizička sučelja i primjeri procesiranja koja osiguravaju CP-ovi SDP-ovi za određeni tip sučelja

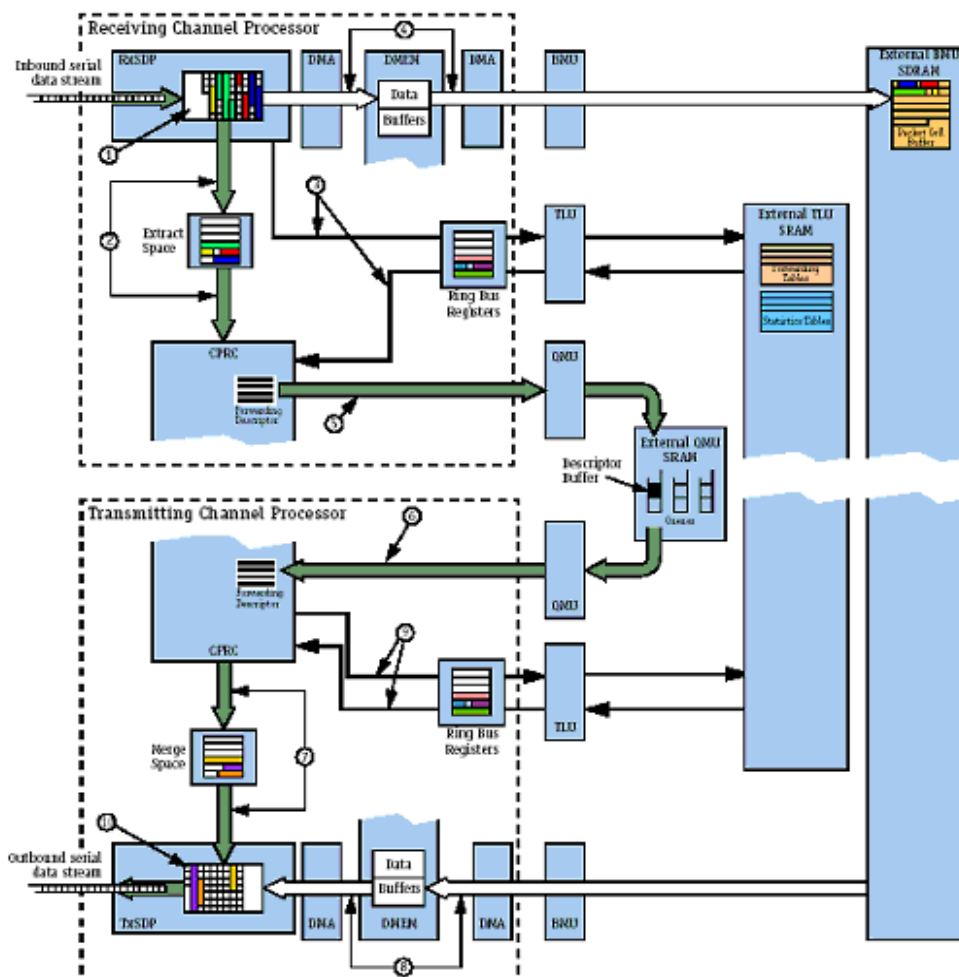
3.3. MP BLOK DIJAGRAM PROCESA PROTOKA

- PREGLED PROSLIJEĐIVANJA ČELIJA I PAKETA

Svaki CP unutar C-5 mrežnog procesora ima optimirane komponente koje pomažu u parsiranju i verificiranju ćelija/paketa.

Te komponente također pomažu u stvaranju odvojenih podatkovnih i kontrolnih puteva za ćelije/pakete. Podaci se šalju kroz podatkovnu sabirnicu (*Payload Bus*) do BMU na privremenu pohranu u SDRAM. Paralelno sa pohranom podataka, dodana je specijalna kontrola podataka koja se sprema u kratki opisnik koji se koristi kod odlučivanja o prosljeđivanju (*forwarding*). Sva sučelja koriste prstenastu sabirnicu (*Ring Bus*) za komunikaciju s tablicama za prosljeđivanje u TLU. Sučelja pristupaju QMU (kako bi se poredali okviri opisnika prema drugom sučelju ili procesoru) kroz podatkovnu sabirnicu. Čelije/paketi koji su odabrani u čipu ili zahtjevaju proces upravljanja (kao na primjer za obnavljanje informacija o usmjeravanju) stavlja se u red kako bi ih XP dalje obrađivao.

Važno je primjetiti da se proces primanja i slanja podataka može odvijati na istom ili različitim CP-ovima.



Slika 5. Shematski prikaz primanja i slanja ćelija/paketa

• PRIMANJE PAKETA

1. Kod primanja toka bitova, program u RxSDP (Receive Serial Data Processor) utvrđuje kakav je okvir podataka i organizira tok bitova u tok okteta. SDP program također utvrđuje karakteristike i parsira tok okteta izvodeći usporedbu uzoraka i provjeravajući kriterije ispravnosti.
2. RxSDP razmješta aplikacijski definirana polja u Extract Space (*izdvojenom prostoru*) kako bi im CPRC (*Channel Processor RISC Core*) mogao pristupiti.
3. SDP šalje zahtjeve preglednoj tablici za izdvojena podatkovna polja preko prstenaste sabirnice.
4. Istovremeno, tok okteta se šalje u dvostruki 64-oktetni spremnik u lokalnoj podatkovnoj memoriji (DMEM - *Data Memory*), gdje se skupljaju 64-oktetni segmenti (dok se ne dođe do kraja paketa). 64-oktetni segmenti se šalju kroz podatkovnu sabirnicu i BMU do prethodno alociranog spremnika paketa u vanjskoj SDRAM.
5. CPRC program nakon primanja izdvojenih polja podataka i rezultata dobivenih od pregledne tablice, utvrđuje odredišni red i druge parametre za prosljeđivanje paketa, i stvara podatkovnu strukturu opisnika za prosljeđivanje. Ta podatkovna struktura uključuje identitet spremnika paketa u kojem se nalazi paket. Opisnik se prosljeđuje CPRC-ovim programom za primanje do QMU preko podatkovne sabirnice. QMU kopira opisnik u spremnik opisnika i ulančava taj spremnik u željeni red.

• SLANJE PAKETA

6. CPRC program za slanje okvira, osigurava kroz mehanizam distribucije pozadinskog statusa reda, da red koji se poslužuje sadrži opisnik za slanje. Program čita opisnik kroz podatkovnu sabirnicu iz QMU-a.
7. CPRC program za prosljeđivanje pretražuje opisnik i koristeći informacije koje on sadržava, daje potrebne parametre TxSDP programu tako što puni Merge Space (*prostor spajanja*) sa informacijama o formatu i sadržajem polja paketa podataka nužnih za izvođenje transformacije paketa. CPRC uspostavlja transfer korisničkih podataka od SDRAM-a kroz BMU do lokalne podatkovne memorije.
8. Tok podataka se šalje od BMU kroz podatkovnu sabirnicu u 64-oktetnim segmentima do dvostrukog 64-oktetnog spremnika u podatkovnoj memoriji. Segmenti se zatim predaju kao tok okteta programu u TxSDP koji transformira paket, zamijenjujući polja podataka u Merge Space-u.
9. Kao dio ili procesa primanja ili prosljeđivanja, CPRC program može koristiti druga sredstva C-5 mrežnog procesora, kao što je izvođenje dodatnih pogleda na pregledne tablice ili pristupanje paketima podataka direktno kako oni protječu kroz spremnike podataka u lokalnoj memoriji.
10. TxSDP pretvara tok bajtova u serijski tok bitova, primjenjuje okvirivanje, i prosljeđuje tok bitova.

Detaljnija objašnjenja o CPRC-u, TxSDP-u, RxSDP-u nalaze se u poglavlju o komponentama CP-a.

3.4. ADRESNI PROSTOR

C-5 mrežni procesor podržava komunikaciju između procesora korištenjem jedinstvenog linearnog memorijskog (*flat memory*) modela. To dopušta svim C-5 mrežnim procesorima da imaju stalan uvid u sva mapirana stanja memorije (*memory-mapped*) i konfiguraciju registara.

CP-ovi ne mogu pristupiti pojedinim registrima rezerviranim isključivo za XP.

Svaki segment memorije u C-5 mrežnom procesoru je mapiran (*mapped*) unutar svog vlastitog 1 Mbajtnog bloka memorije. Stoga se određena lokacija bilo kojeg bloka memorije procesora (lokalna podatkovna memorija i registri) unutar fizičkog prostora memorije može prikazati korištenjem 1 Mbajtnih pomaka.

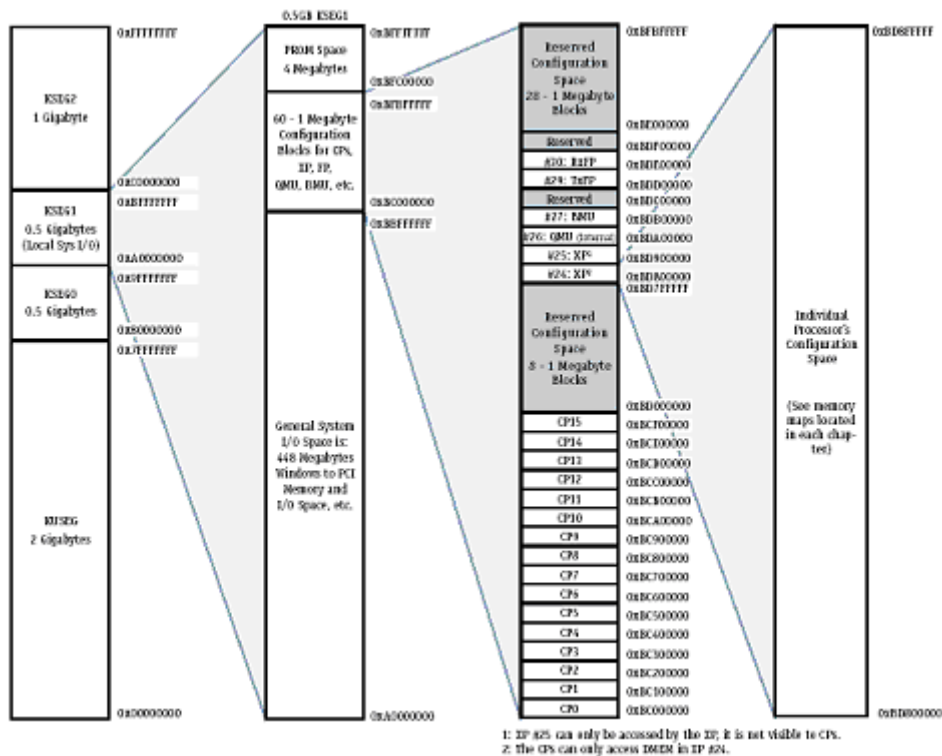
• DEFINICIJE KONFIGURACIJSKIH REGISTARA

CP-ovi konfiguracijski registri formiraju osnovni registarski skup (*base register set*) za C-5 mrežni procesor. Svaki CP duplicira osnovni skup registara unutar vlastitog konfiguracijskog prostora.

XP-ovi registri uključuju podskup osnovnog registarskog skupa kao i registre sučelja sustava. XP-ovi osnovni registri «nalik CP-ovim» (*CP-like*) su locirani na istom pomaku adrese unutar prostora konfiguracije XP-a kao i CP-ovi konfiguracijski registri. FP također ima podskup osnovnih registara «nalik CP-ovim» (*CP-like*).

• POMACI BAZNE ADRESE PROCESORA

Svaki procesor/koprocessor C-5 mrežnog procesora ima jedinstvenu 5 bitovnu procesorsku identifikacijsku vrijednost. Početna adresa za bilo koji CP (kao i XP, FP, QMU, BMU i TLU) može se odrediti dodavanjem 0xBC000000 5 bitnom ID-u procesora pomaknutom ulijevo 20 bitovnih pozicija, kako bi se osigurao 1 Mbajt adresnog prostora za svaki procesor. Na primjer, adresni prostor za CP5 je $0xBC000000 + (0x5 \ll 20) = 0xBC500000$.



Slika 6. Memorijski adresni prostor

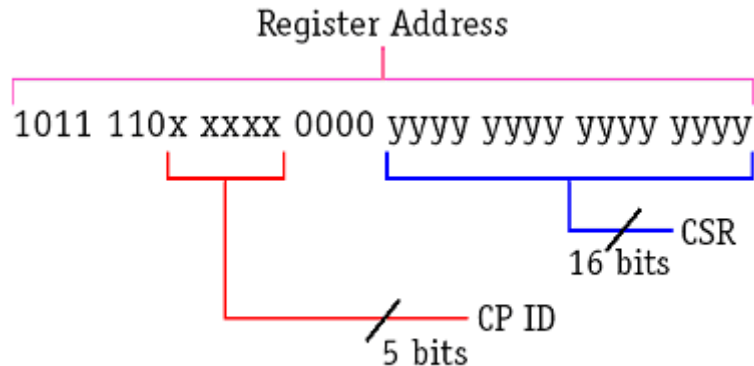
Kao što se vidi na Slici 6, unutar ovog prostora, CP-ovih 12 kbajta lokalne podatkovne memorije počinje na baznoj adresi, a to je 0xBC000000 (dakle od CP0), prostor za konfiguracijske registre počinje na baznoj adresi plus 16 kbajta (0xBC004000) (sa CP-ovim ID pomaknutim 20 bitova). Takav prikaz čini cijelu lokalnu podatkovnu memoriju i konfiguracijski prostor dostupnim unutar 16 bajtnog pomaka od bazne adrese za CP0 pozitivnog predznaka.

Tabela 1. ID-ovi ZA CP-ove, XP, FP i TLU

Unit	Node ID	Unit	Node ID
CP0	0	CP10	10
CP1	1	CP11	11
CP2	2	CP12	12
CP3	3	CP13	13
CP4	4	CP14	14
CP5	5	CP15	15
CP6	6	XP	24
CP7	7	FP*	30
CP8	8	TLU	31
CP9	9		

• KONFIGURACIJSKI REGISTRI

Registarskim adresama kao što su izlistane se zamijeni ID procesora sa slovom «n» u adresi. Zamjenjujući ID procesora sa «n», može se izračunati adresa za svaki pojedini registar u adrsesnom prostoru C-5 mrežnog procesora.



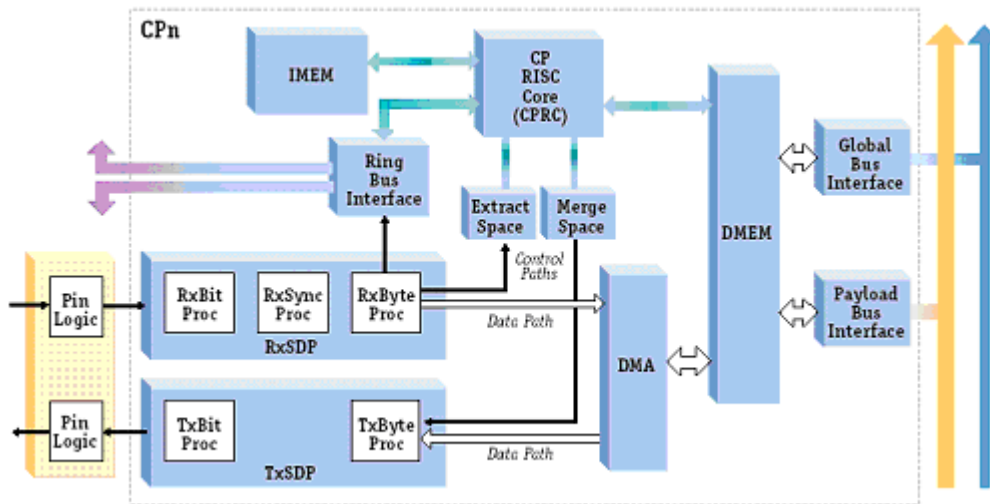
Slika 7. Format adrese registra (u bitovima)

C-5 mrežni procesor koristi Big Endian pohranu riječi. Međutim, XP je zbog svojeg sučelja za periferne komponente (PCI) u mogućnosti upravljati bilo *Big Endian* bilo *Little Endian* formatom PCI-ja. Preporuča se da se pri razvoju aplikacija koristi samo *Big Endian* format.

3.5. CHANNEL PROCESSORS (CP-ovi)

C-5 mrežni procesor ima posebni, programirajući CP za svaki od svojih 16 fizičkih sučelja za upravljanje prosljeđivanjem ćelija i paketa. CP-ovi su razdvojeni (CP0, CP1, ..., CP14, CP15), ali mogu biti grupirani za upravljanje sučeljima većih brzina i dijeljenje zajedničke memorije. Svaki CP se sastoji od Serial Data Processors (SDP-ova) i Channel Processor RISC (CPRC-a), koji zajedno procesiraju ćelije i pakete kroz memorije posebne namjene, tj. instrukcijsku memoriju (*Instruction Memory* - IMEM) i podatkovnu memoriju (*Data Memory* - DMEM) koje labavo ujedinjuju ove procesore.

3.5.1. GLAVNE KOMPONENTE CP-a



Slika 8. Prikaz Channel Procesora

Ključne komponente svakog CP-a su RISC (*Core*) jezgre (CPRC-ovi) koji usklađuju procesiranje ćelija/paketa i inicijaliziraju mikroprogramirljive procesore posebne namjene, koji se nazivaju Serial Data Processors (SDP-ovi).

- **SDP-ovi** – osiguravaju mikroprogramirljiva sučelja za primanje (Rx) i slanje (Tx) između vanjskih serijskih tokova i ostalih elemenata CP-a. SDP za primanje (RxSDP) i SDP za slanje (TxSDP) se mogu programirati tako da procesiraju neke od najčešćih/najuobičajenijih tipova mrežnog prometa, kao što su SONET, Ethernet i ATM. RxByte programirljivi procesor od RxSDP i TxByte programirljivi procesor od TxSDP mogu se dodatno programirati. Po primitku ćelije/paketa, RxSDP osigurava serijsko-paralelnu konverziju, provjerava i interpretira zaglavlje i korisničke podatke i inicijalizira pregledne tablice. Pri slanju ćelije/paketa, TxSDP prihvaća zaglavlje i korisničke podatke, i osigurava paralelno-serijsku pretvorbu.
- **CPRC** – programiran je tako da podržava slijedeće aplikacijske funkcije:
 - određivanje karakteristika ćelije /paketa i izgradnja opisnika
 - inicijalizacija dodatnih preglednih tablica
 - sakupljanje svih rezultata od preglednih tablica
 - odlučivanje o prosljeđivanju i filtriranje na temelju parsiranja zaglavlja podataka i rezultata pregledne tablice (klasifikacija ćelija/paketa)
 - odlučivanje o rasporedu (na temelju karakteristika ćelija/paketa)
 CPRC implementira podskup MIPS 1 instrukcijskog skupa, (osim množenja, dijeljenja, preljeva i instrukcija CP0).

- **MEMORIJA** – dva su tipa dostupne memorije: IMEM i DMEM
 - svaki CP ima 6 kbajtnu instrukcijsku memoriju (IMEM) koja sadrži RISC instrukcije u RAM-u. U grupnom načinu rada (*Cluster modu*), 4 susjedna CP-a osiguravaju 24 bajtnu instrukcijsku memoriju (IMEM) koja je zajednička između CP-ova te grupe (*cluster*).
 - svaki CP ima 12 kbajtnu lokalnu (koja nije cache memorija) podatkovnu memoriju (DMEM) za pohranu podataka. Svaki CPRC može pristupiti lokalnoj podatkovnoj memoriji bilo kojeg CPRC-a unutar te grupe unutar jednog od četiri dodatna ciklusa kašnjenja (ovisno o sadržaju CP za podatkovnu memoriju) za ukupno 48 kbajta. Dodatno, podatkovnoj memoriji se može također pristupiti kao udaljenoj memoriji sa drugih CP-ova i XP-a kroz globalnu sabirnicu (*Global Bus*).

- **KONFIGURACIJSKI PROSTOR** – ovo područje CP-a sadrži više registara za komunikaciju s SDP-om i kontrolera sabirnica (podatkovna sabirnica i globalana sabirnica). CP-ovim registrima se također može pristupiti sa drugih komponenti C-5 mrežnog procesora (XP i drugih CP-ova kroz globalnu sabirnicu).

SDP je cjevovod serijski povezanih programirljivih procesora i konfiguracijskih logičkih blokova. Put podataka između tih procesora i blokova je konfigurabilan. Ti procesori i blokovi implementiraju programirljivo sučelje između PHY pristupa (gdje se podaci slažu u seriju, kodiraju i enkapsuliraju) i CPRC-a (koji očekuje podatke koji su duljine okteta, dekodirani i imaju zaglavlje).

SDP za primanje (RxSDP) prima tok podataka od fizičkog sloja C-5 mrežnog procesora i izvodi serijsko-paralelnu konverziju podataka. Zatim izvodi provjere zbog mogućih pogrešaka, provjere integriteta, uspoređuje i izdvaja polja u toku podataka. Također osigurava sadržaj izdvojenih polja za CPRC u CPRC-ovom *Extract Space*-u (dio konfiguracijskog prostora). CPRC-ova lokalna podatkovna memorija osigurava spremanje podataka koji idu u SDRAM.

Tijekom prijenosa podataka CPRC-ova lokalna memorija sprema podatke koji potječu iz SDRAM-a. SDP za slanje (TxSDP) izvodi umetanje polja, njihovo brisanje i zamjenu u izlaznom toku podataka, a izvorni niz polja na kojem se izvode te izmjene je u CPRC-ovom *Merge Space*-u (dio konfiguracijskog prostora). Također obavlja *checksum* i generira CRC, enkapsulaciju okvira i kodiranje te paralelno-serijsku konverziju podataka. TxSDP usmjerava podatke prema vanjskom fizičkom sloju.

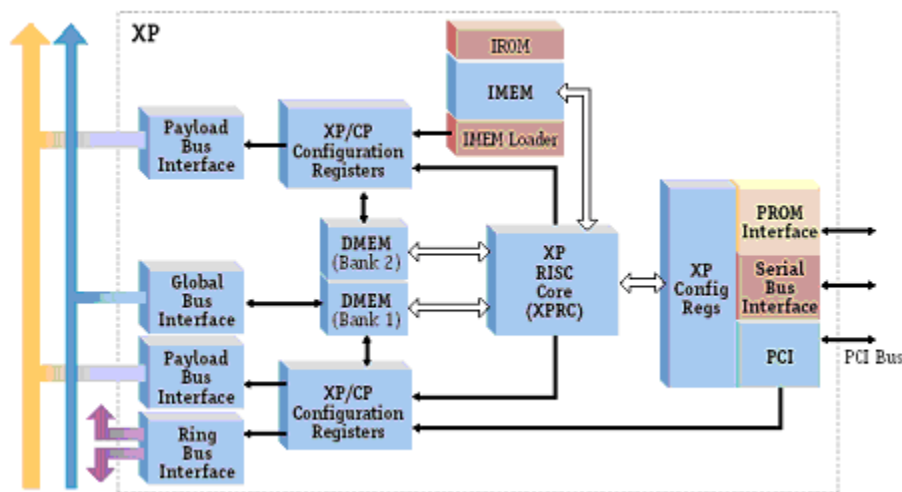
3.6. EXECUTIVE PROCESSOR (XP)

XP služi kao centralna komponenta za izračunavanje za C-5 mrežni procesor te upravlja sučeljima sustava. Jedan od sustava sučelja kojima upravlja je PCI sabirnica, koja se općenito koristi za komunikaciju s vanjskim procesorom domaćinom (*host processor*). Ako je prisutan, procesor domaćin može osigurati koordinaciju uređaja (na primjer između višestrukih C-5 mrežnih procesora), upravljanje mrežom, signalizaciju, i može izgraditi sve tablice usmjeravanja za uređaje, čiji dio je i C-5 mrežni procesor. XP također može izvoditi mnoge od ovih funkcija sam. XP ima pristup internoj podatkovnoj, prstenastoj i globalnoj sabirnici.

Tipične XP funkcije uključuju:

- inicijalizaciju procesora i učitavanje koda
- održavanje tablice za usmjeravanje/prespajanje (bilo da se radi o izgradnji tablica ili važnim izmjenama od domaćina)
- statistike sakupljene od CP DMEM i TLU
- otkrivanje/oporavak od pogrešaka
- funkcije prosljeđivanja

3.6.1. GLAVNE KOMPONENTE XP-a



Slika 9. Prikaz Executive Procesora

- **XP RISC CORE** – izvodi slijedeće standardne zadatke nadgledanja u C-5 mrežnom procesoru:
 - restiranje i inicijalizacija C-5 mrežnog procesora
 - učitavanje programa i kontrola CP-ova
 - centralizirano upravljanje iznimkama
 - upravljanje sučelja domaćina kroz PCI
 - upravljanje sučeljima sustava (PCI, PROM, serijska sabirnica)

Ovaj CPU opće namjene implementira podskup MIPS 1 instrukcijskog skupa (množenje, dijeljenje, preljev, i CP0 instrukcije nisu uključene u podskup) sa vlastitim kodom (*dedicated code*) i pohranjivanjem podataka XPRC te ima pristup preko globalne sabirnice svim operacijama vezanih uz pregledne tablice. Instrukcijski ROM gdje su instrukcije 16 bitne (IROM) je vlatiti XPRC-ov.

- **MEMORIJA** – na raspolaganju su dva tipa memorije: instrukcijska memorija (IMEM) i podatkovna memorija (DMEM)
 - XP ima 32 bajta IMEM koja sadrži RISC instrukcije u RAM-u. Organizirana je kao dva 16 kbajtna bloka (*banks*) za dijeljenje (zajedničku uporabu) unutar XP-a
 - XP ima 32 kbajta (koja nije cache memorija) lokalnu podatkovnu memoriju (DMEM) za pohranu podataka. Organizirana je kao dva 16 kbajtna bloka. Dodatno, podatkovna memorija također može biti dohvaćena kao udaljena memorija od CP-ova kroz globalnu sabirnicu.
- **PCI** – osigurava standardno 32 bitno, 33/66 MHz PCI sučelje korišteno na razini čipa kao zajednički resurs. PCI ima mogućnosti i izdati zahtjev za neku akciju (inicijator) i čekati zahtjev (target). Domaćin (host) je opcionalan, ali ako je prisutan, njegove funkcije su:
 - zatražiti globalnu sabirnicu (koja osigurava pristup svim CP konfiguracijskim registrima i podatkovnim memorijama)
 - zatražiti prstenastu sabirnicu (koja osigurava pristup operacijama pregledne tablice)
 - zatražiti XP procesiranje i komuniciranje s XP-om za dodatne usluge
 - podržati C-5 MP inicijalizaciju
- **PROM SUČELJE** – dopušta XP-u da boot-a iz vanjskog PROM-a. PROM sučelje je sporo, serijsko U/I sučelje koje zahtijeva vanjsku logiku za sučelje prema vanjskom PROM-u do 48 Mbajta veličine.
- **SUČELJE SERIJSKE SABIRNICE** – sastoji se od dvosmjerne sabirnice opće namjene i U/I porta. Dopušta C-5 mrežnom procesoru da kontrolira vanjsku logiku sa jednim od dva standardna protokola.
 - brzi protokol koristi 16 bitne podatke sa 10 bitovnim adresiranjem i podržava prijenos na frekvenciji 25 MHz
 - spori protokol koristi 8 bitne podatke koje slijedi bit potvrde i podržava prijenos do 400 kbps

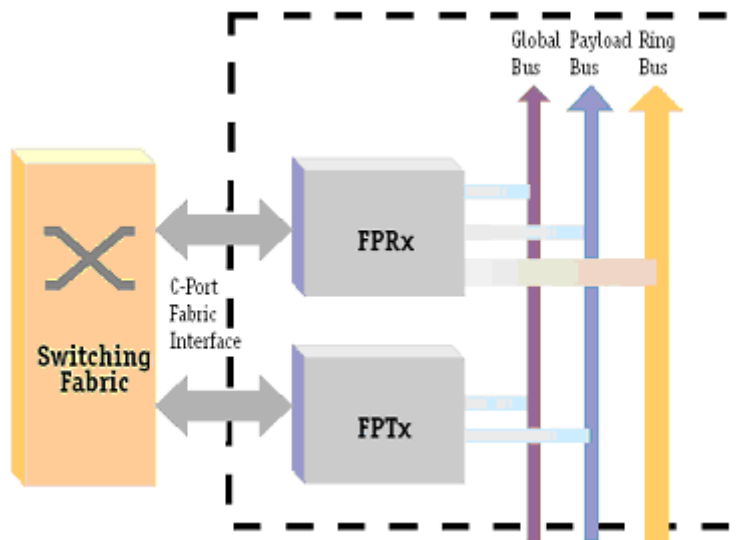
Sabirnica podržava hijerarhiju s jednim kontrolerom (*single master hijerarhiju*) koja može raditi i kao primatelj i kao prijenosnik. Sabirnica također podržava integrirani protokol adresiranja i prijenos podataka.

- **KONFIGURACIJSKI PROSTOR** – ovaj dio XP-a sadrži više registara za komunikaciju s SDP-om i kontrolere sabirnica (*Payload Bus* i *Global Bus*). Registre XP-a mogu također dohvatiti druge komponente C-5 mrežnog procesora (CP-ovi preko globalne sabirnice)

3.7. FABRIC PROCESSOR (FP)

FP (prospojni procesor) osigurava širokopojasni pristup za segmentaciju i ponovno spajanje PDU-ova (podataka za prijenos ili spremanje u spremnik BMU-a) na brzini do OC-48. Ponaša se kao brzi mrežni pristup sučelju (na 110 MHz za dva 32 bitna podatkovna puta) sa naprednom funkcionalnošću koja dopušta C-5 mrežnom procesoru da ima sučelje prema specifičnom aplikacijskom rješenju za sustave za prospajanje ili preklopničke sustave. FP se može konfigurirati u skladu sa UTOPIA -1, -2, -3, PRIZMA i Power X sučeljima. Programska fleksibilnost FP-a podupire standardne i specifične (*custom*) formate ćelija strukturiranih za prospajanje. FP izvodi prikazivanje toka i upravljanje od i do strukture za prospajanje. Može primiti odjednom do 159 tokova i podržati prijenos i do 128 prioriternih simultanih tokova organiziranih kao 32-portna matrica sa 4 razine prioriteta ili 16-portna matrica sa 8 razina prioriteta.

FP se može zamisliti kao CP sa ograničenom programirljivošću. Koristi ista sabirnička sučelja i konstrukcije podatkovnih puteva kao CP. Dijelovi za primanje i prijenos mogu raditi i autonomno i asinkrono. Zbog svoje mikrokodne programirljivosti koja koristi istu instrukcijsku arhitekturu kao SDP Byte Processori, FP se može adaptirati da ima specifični format strukture zaglavljaja.



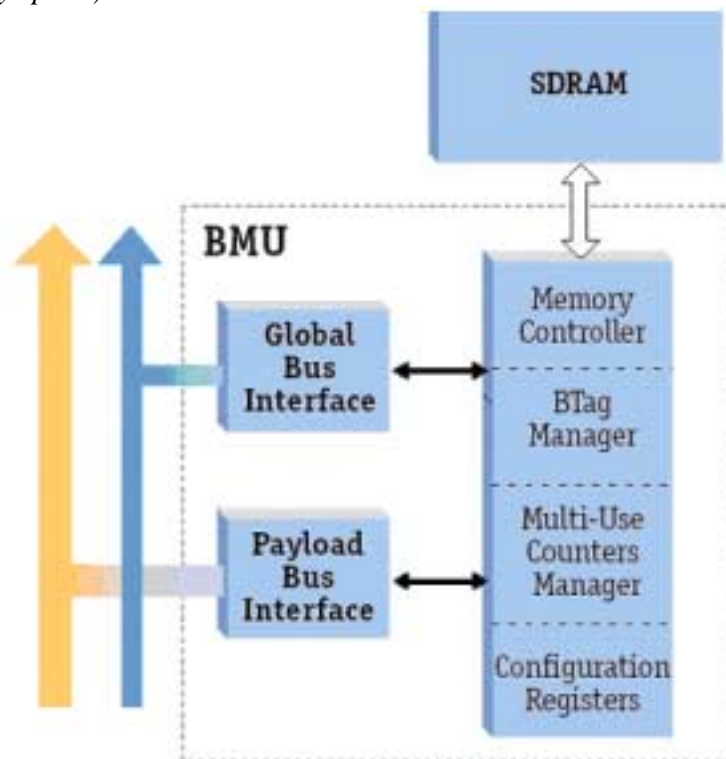
Slika 10. Prikaz Fabric Procesora

3.8. BUFFER MANAGEMENT UNIT (BMU)

BMU – jedinica za upravljanje spremnicima - osigurava sučelje prema vanjskom SDRAM-u za C-5 mrežni procesor. BMU razdvaja SDRAM u spremnike (buffers) koji su dostupni CP-ovima, XP-u i FP-u za pohranu korisničkih podataka. BMU također osigurava usluge upravljanja spremničkim ručkama (buffer handles) koje se zovu Buffer Tags (BTags) i usluge održavanja BTag-ovih tablica koje se zovu Multi-Use Counters (MUC), a koje se koriste za prosljeđivanje korisničkih podataka do višestrukih ciljeva.

- **BMU – GLAVNE KOMPONENTE**

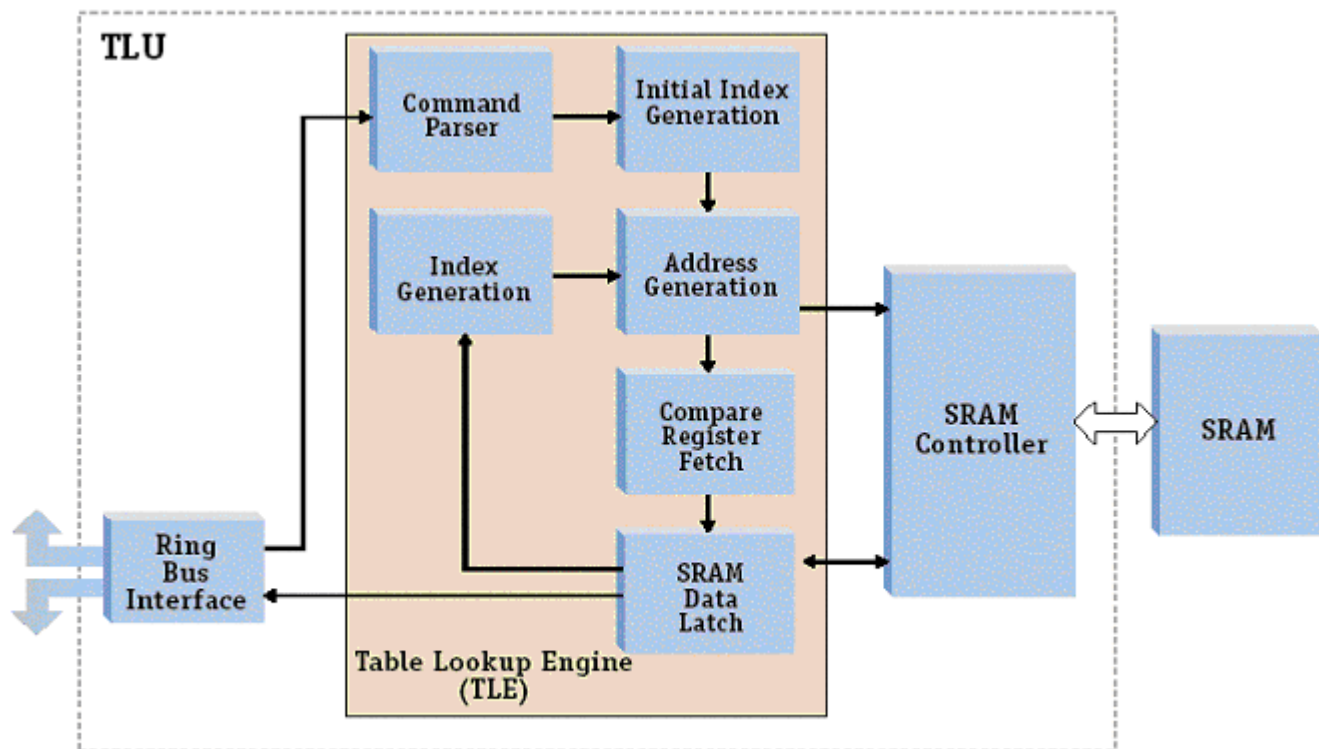
- **Memory Controller** - procesori svi traže SDRAM transakcije, a osnovno je da spremnička memorija (buffer memory) traži pohanu korisničkih podataka. Pristup spremnicima je omogućen iz CP-ove ili XP-ove aplikacijske programske podrške, ili FP-ovog sklopovlja koristeći Control Block za transakciju korisničkih podataka (WrCBO, RdCBO, RxCBO, TxCBO).
- **BTag Manager** – upravlja alociranjem i dealociranjem BTag-ova. Operacije Btag-a obavlja aplikacijska programska podrška CP-a ili XP-a, ili sklopovlje FP-a korištenjem Control Block-a za transakciju korisničkih podataka.
- **Multi-Use Counter Manager** – upravlja alokacijom MUC-a, dekrementiranjem i automatskom dealokacijom BTag-a. MUC operacije obavljaju aplikacije CP-a i XP-a korištenjem Control Block-a za transakciju korisničkih podataka.
- **Konfiguracijski registri** – koriste se za podešavanje fizičke i spremničke konfiguracije memorije, te za ispravljanje pogrešaka i testiranje. Operacije konfiguriranja obavljaju software aplikacije CP-a i XP-a koristeći pohanjivanje/učitavanje iz/u prostor globalne memorije (*Global memory space*).



Slika 11. Shematski prikaz BMU

3.9. TABLE LOOKUP UNIT (TLU)

TLU – jedinica za pregledne tablice - osigurava pristup topologiji, kontrolne i statističke tablice u vanjskoj SRAM. Ona pristupa vanjskom SRAM polju radeći na frekvenciji 142 MHz. Komunikacija između procesora (CP-ova, XP-a i FP-a) i TLU-a se obavlja preko poruka koje prenosi prstenasta sabirnica. Svaki procesor (16 CP-ova, XP i FP), kao i TLU je «čvor» (node) na prstenastoj sabirnici. Prstenasta sabirnica koristi put širok 64 bita. Unutarnja arhitektura TLU-a je prošireni cjevovod. Stoga, TLU može uslužiti više zahtjeva simultano i tako osigurati najefikasnije korištenje dostupnih vanjskih SRAM ciklusa. Postignuto je skoro 100% iskorištenje ciklusa SRAM polja. TLU podržava nekoliko tipova algoritama za pregledne tablice i osigurava sredstva za efikasno generiranje ulaznih adresa tablice u SRAM-u, «hash» generiranje adresa i binarno pretraživanje tablice za obje strategije: tačno-poklapanje (exact-match) i poklapanje-najduljeg-prefiksa (longest-prefix-match). TLU također osigurava sredstva za efikasno upravljanje i manipuliranje ključevima tablice i povezanih podataka. Obavljanje upisivanja u tablicu rade XPRC, CPRC-ovi, ili preko memorijskog pristupa registrima prstenaste sabirnice na XP-u iz vanjskog procesora domaćina. Kako bi se optimizirala izvedba aplikacija, TLU dopušta do 8 algoritama za pretraživanje, prikazivanje do 16 preglednih tablica, podupire 7 različitih tipova tablica i veličina tablica. Objekti za održavanje povezanih podataka koje koristi TLU također služe kao sredstvo za sakupljanje statistika i kao medij za direktno segmenatiranje i za operacije povezivanja (SAR). C-5 mrežni procesor koristi vanjske 64 bita široke module Pipelined Bursting Static RAM (SRAM) za pohranu svojih tablica. Ti moduli dopuštaju implementaciju tablica sa $2 \times 10^4 \times 64$ bita ulaza po ciklusu od 7 nanosekundi koristeći 4 Mbitnu SRAM tehnologiju.



Slika 12. Shematski prikaz TLU

3.10. QUEUE MANAGEMENT UNIT (QMU)

QMU osigurava usluge vezane uz redove za sve procesore (CP-ove, XP i FP) na C-5 mrežnom procesoru. QMU redove koriste procesori kako bi preusmjerili opisnike korisničkih podataka sa ulaznog procesora (CP-ova, XP-a i FP-a) prema izlaznom procesoru (CP-ovi, XP i FP) koristeći Control Blokove (WrCBO_ ili RdCBO_) preko podatkovne sabirnice. Procesori C-5 mrežnog procesora generiraju opisnik podataka respektivno (DMEM), zatim pišu podatke u red pohranjen u SRAM-u. Konfigurabilni QMU upravlja redovima tako što jednostavno prenosi opisnik podataka bez promjena, a ne parsira zapise podataka koje stavlja u red. QMU osigurava do 512 redova koristeći *on-chip* memoriju (unutarnji SRAM) za kontrolnu strukturu i *off-chip* memoriju (vanjski SRAM) za pohranu opisnika. Redovi se mogu alocirati asimetrično, tako da jedan CP može imati nula do 128 redova. Do 16,384 spremnika opisnika može biti u redu odjednom u svim redovima. Općenito, tipovi podataka koji su u QMU redu su:

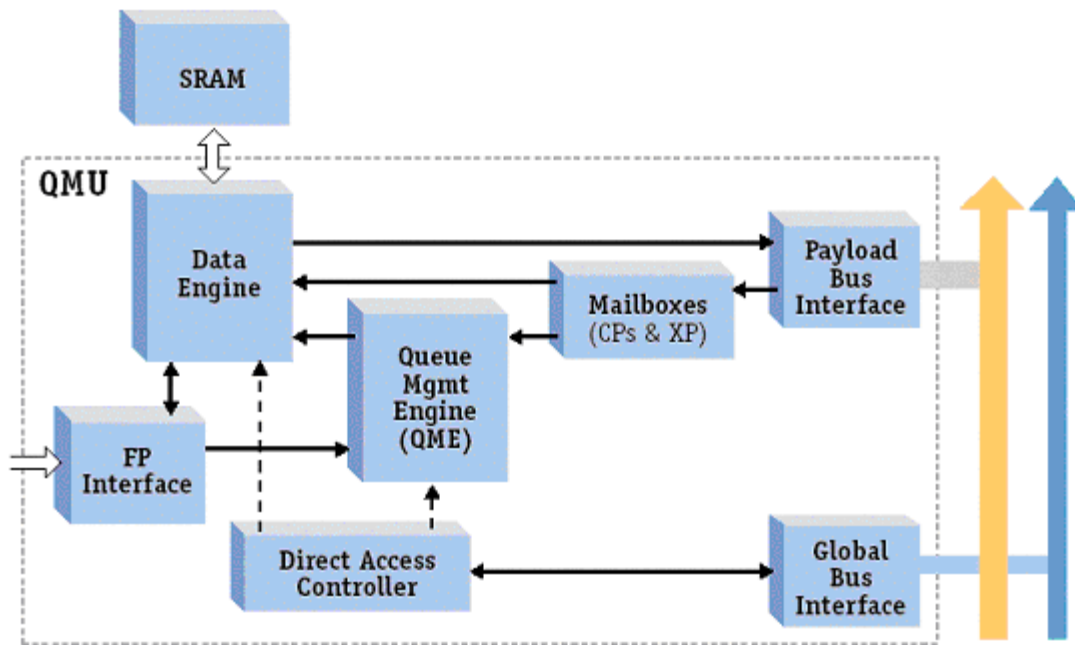
- opisnik korisničkih podataka uključujući spremnik korisničkih podataka (BTag), ili
- korisnički definirana unutar-procesorska poruka.

OPISNICI KORISNIČKIH PODATAKA

Opisnici korisničkih podataka su male fiksne duljine (12, 16, 24 ili 32 bajtne) strukture podataka koje sadrže sve potrebne informacije za izvršavanje prosljeđivanja primljenih korisničkih jedinica podataka od procesora. Na primjer, informacije potrebne za izgradnju zaglavljiva izlaznog sučelja. Opisnike korisničkih podataka stvaraju aplikacijski programi koji se izvode na procesoru, općenito CPRC-u.

KORISNIČKI DEFINIRANE MEĐU-PROCESORSKE PORUKE

Među-procesorske poruke su također male fiksne duljine (12, 16, 24 ili 32 bajtne) strukture podataka koje sadrže korisnički definirane podatke. Općenito, među-procesorske poruke koriste se za orkestraciju jednostavnih kontrolnih aktivnosti kao što je kontrola toka, prikupljanje statistika, ili održavanje tablica.



SLIKA 12. Shematski prikaz QMU

4. ZAKLJUČAK

Područje telekomunikacija doživljava opsežne promjene kroz medije, industriju, Internet i IP tehnologiju te mobilne komunikacije koji se stapaju u jedno. Kako je prijenos podataka u ćelijama kroz sustav postao važniji, to je bio poticaj za pojavu sustava koji rade s paketima odnosno za pojavu standarda treće generacije (3G). Sa razvojem bežične infrastrukture, tražila su se rješenja koja će omogućiti potporu tom razvoju. Bežična infrastruktura ubrzano je pokušavala prihvatiti podatkovno-orijentiran svijet.

Motorolina porodica *C-Port* mrežnih procesora je pogodna kao temeljna arhitektura za uređaje bežične infrastrukture. *C-Port* porodica podržava programsku fleksibilnost koja omogućava prilagodbu promjenjivim bežičnim standardima i nudi različite mogućnosti što se tiče funkcionalnosti, cijene, snage... Nadalje, programska podrška je skalabilna kroz mrežne procesore ove porodice, pa se tako temeljna programska podrška može ponovno koristiti u svim slojevima sustava. Konačno, kako se razvijaju protokoli, mrežni procesori mogu se reprogramirati kako bi podržavali nove zahtjeve.

5. LITERATURA

C-5 Product Summary Page:

http://e-www.motorola.com/webapp/sps/site/prod_summary.jsp?code=C-5&nodeId=01DFTQ3126q62S

C-5E Product Summary Page

http://e-www.motorola.com/webapp/sps/site/prod_summary.jsp?code=C-3E&nodeId=01DFTQ3126q62S

C-3E Product Summary Page

http://e-www.motorola.com/webapp/sps/site/prod_summary.jsp?code=C-3E&nodeId=01DFTQ3126q62S

2001, C-Port Corporation, Motorola Company
Architecture Guide C-5e/C-3e Network Processor, Silicon Revision A1
C5EC3EARCH-RM/D, Rev 02, Preliminary

2001, C-Port Corporation, Motorola Company
Data Sheet C-5e Network Processor, Silicon Revision A1
C5ENPA1-DS/D, Rev 03, Preliminary

2001, C-Port Corporation, Motorola Company
C-5 Network Processor, Architecture Guide
C-5 NP D0 Release

2001, C-Port Corporation, Motorola Company
C-5TM Network Processor, Data Sheet
Supporting C-5 Network Processor Version D0